

WX5025 Datasheet

2025.4

申明

该手册中的数据仅是在特定条件下的测试结果，客户在不同条件下测试结果可能存在差异。任何不当使用造成的直接或间接损失，我司不承担责任。手册中的内容可能会根据产品实际状态有更新，有任何变更未及时知会到客户，我司不承担责任。有任何疑问请跟我司销售或技术支持沟通。

Revision History

Revision	Data	Comments
0.1	2024.2	Initial Revision
0.2	2024.7	Add current consumption
0.3	2024.7	Add TS1588 GPIO
0.4	2024.8.16	Update power consumption and supported module
0.5	2024.10.29	Update signal description and 1.3.4
0.6	2025.2.14	Update 1.2 signal description (SMBus/PE_WAKE/ PCIE_PHY_SRAM_BYPASS) and Description in 1.3.4, 1.3.11 and 1.3.12, add chip internal diagram.
0.7	2025.4.23	Delete pin H6 in row VSS of Table 16, PCIE_RST_SEQ use internal pull-down by default, change power-up sequence description in section 1.3.6, update 1.3.3 current table
0.8	2025.6.16	D20 引脚定义重复，删除 PRB_HIT 引脚定义

目录

申明	2
REVISION HISTORY	3
1 WX5025 简介	1
1.1 主要技术特征	1
1.1.1 以太网	1
1.1.2 数据中心	2
1.1.3 卸载	2
1.1.4 主机接口	2
1.1.5 虚拟化	2
1.1.6 接口	3
1.2 引脚描述	3
1.3 电气规格	12
1.3.1 绝对最大额定值	12
1.3.2 建议工作条件	13
1.3.3 工作电流	14
1.3.4 模式配置说明	15
1.3.5 ETH 时钟输入	15
1.3.6 电源设计	16
1.3.7 复位时间	17
1.3.8 NCSI AC SPECIFICATION	17
1.3.9 FLASH 推荐	18
1.3.10 光模块推荐	18
1.3.11 PCI_EXPRESS 布线建议	19
1.3.12 SFP+布线建议	19
2 芯片封装尺寸说明	20
第3章 热参数	21
3.1 热阻参数	21
3.2 表面静态压力参数	21

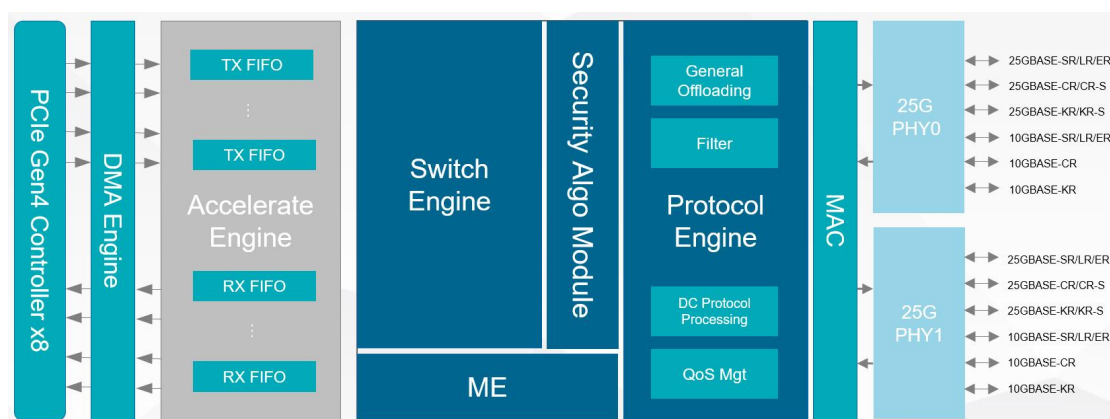
1 WX5025 简介

WX5025 处理器是北京网迅自主设计的，拥有自主知识产权，它能满足企业数据中心对网络最新需求，应用在服务器上，支持管理程序分流数据排序功能，通过有效地平衡网络负载在 CPU 核上，提高数据吞吐量和 CPU 使用率，在多 CPU 处理器系统中表现出极佳的性能。

WX5025 处理器具有优良的噪声抗扰性，同时还支持 300 米距离光纤连接，适用于服务器和高端设备，它可轻松将任何 PCI Express X8 集成到万兆网络中，并且对性能进行了优化，使系统 I/O 不再是高端网络应用的瓶颈。

WX5025 处理器带有两个完全集成的 25G 以太网媒体存取控制（MAC）和 SFP28 端口，它是部署多个网络以及在高性能服务器上部署关键网络应用环境的理想解决方案。

WX5025 芯片内部结构框图如下：



1.1 主要技术特征

1.1.1 以太网

- 25G SFI/KR/XAUI 接口
- 支持最大 9.5 KB 的巨型帧
- 支持模式下自动匹配第 73 条
- 控制支持：发送/接收暂停帧和接收 FIFO 阈值
- 支持 802.1q VLAN
- 休眠唤醒
- 流量整形

1.1.2 数据中心

- 支持 PFC (802.1Qbb)
- 支持 ETS (802.1Qaz)
- 支持 QCN (802.1Qau)
- 支持 VEPA
- 支持 ETAG
- 支持 MIB 和 RMON
- VXLAN/Geneve/NVGRE 卸载

1.1.3 卸载

- IPv4 TCP RSC 卸载
- FCOE 卸载
- 发送端 TCP 报文切片：最高支持 256KB
- Linksec 卸载
- 更规范的 IPSec
- IP/TCP/UDP/STCP 校验和卸载
- 用于数据包重组的分段 UDP 校验和卸载
- 以太网 CRC 剥离卸载
- VLAN Tag 发送端插入和接收端剥离卸载
- 支持传输数据包的 MAC 源地址/ VLAN 防欺骗功能
- 支持接收数据包头拆分

1.1.4 主机接口

- 消息信号中断 (MSI / MSI-X)
- 中断节流控制，用于限制最大中断速率
- TCP 定时器中断
- 支持 TPH/FLR/IDO/ARI/VPD/ECRC/AER/VDM
- 512B 最大有效载荷/ 1KB 最大请求
- PCIE 乱序发送
- 功能性支持 D0 和 D3 状态的 ACPI 寄存器设置和掉电

1.1.5 虚拟化

- 支持 SR-IOV
- 128 个传输队列
 - 每个队列有 32 个条目数据描述符缓存
 - 每个队列都有 2 个条目上下文描述符缓存
- 128 个接收队列

- LLI 队列的描述符缓存
- 支持每个端口 64 个虚拟机（64 个虚拟机 x 2 个队列）
注：驱动软件支持每个端口 63 个虚拟网口。
- 128 个 MAC 地址
- 4096 个基于哈希的单播地址
- 4096 个基于哈希的组播地址
- 虚拟以太网桥

1.1.6 接口

- 25 Gb 双端口设备或单端口
- PCIe Gen4，总线宽度——x1, x2, x4, x8
- 每个 LAN 端口 8 个 GPIO 引脚
- 每个 LAN 端口 1 个 IIC
- SPI 闪存接口
- UART 接口
- NCSI 端口
- 8 GPIO 引脚
- SMBus 端口
- 设备禁用功能
- 支持 MCTP over SMBus
- 支持 MCTP over PCIe
- 支持 PXE 功能

1.2 引脚描述

Note: the single-ended signal IO level standard of WX5025 chip is 1.8V LVCMOS standard.

Table1 Chip Control

Ball #	Pin Name	Type	Description
M1	PORST_N	Input	芯片全局复位输入
D1	RST_MD	Input	0-全局复位， 1-复位 PCIE 和 DMA
D2	PLL_BYPASS	Input	该引脚输入高电平，芯片内部 PLL 被旁路，芯片默认下拉。
E2	HOLD_MODE_PHY	Input	该引脚输入高电平，代表 PCIE PHY 维持在复位状态。 PCIE PHY 退出复位由固件控制，芯片默认下拉。
G2	MNG_DET	Input	该引脚输入高电平，内嵌 CPU 使能，输入低电平内嵌 CPU 被禁用，芯片默认上拉

M2	FLASH_BYPASS	Input	该引脚输入高电平，片上 flash 被旁路，芯片默认下拉。
W2	LTSSM_MD	Input	该引脚输入高电平，代表 PCIE LTSSM 使能由固件控制，芯片默认下拉。
J5	PLL_REF_CLK_XIN	Input	25M 无源输入，XIN 优先采用 25M 有源输入，接有源时钟时 XOUT 引脚悬空
J4	PLL_REF_CLK_XOUT	Output	25M 无源输出，设计暂不推荐无源晶振
T4	SEC_MODE	Input	该引脚输入高电平，主机 CPU 不能访问芯片内部寄存器，芯片默认上拉。
Y21	FLASH_SECTOR	Input	0 代表 flash 的 sector 是 64KB, 1 代表 flash 的 sector 是 256KB

Table2 Ethernet Port0 PHY

Ball #	Pin Name	Type	Description
E18	ETH0_TX_P_0	Output	网口 0 的 TX 差分信号，CML 电平标准
D18	ETH0_TX_N_0	Output	
E16	ETH0_TX_P_1	Output	
D16	ETH0_TX_N_1	Output	
E14	ETH0_TX_P_2	Output	
D14	ETH0_TX_N_2	Output	
E12	ETH0_TX_P_3	Output	
D12	ETH0_TX_N_3	Output	
B18	ETH0_RX_P_0	Input	网口 0 的 RX 差分信号，CML 电平标准
A18	ETH0_RX_N_0	Input	
B16	ETH0_RX_P_1	Input	
A16	ETH0_RX_N_1	Input	
B14	ETH0_RX_P_2	Input	
A14	ETH0_RX_N_2	Input	
B12	ETH0_RX_P_3	Input	
A12	ETH0_RX_N_3	Input	
G13	ETH0_REF_CLK_P	Input	网口 0 的 156.25MHZ 差分时钟输入，LVDS 电平标准
G14	ETH0_REF_CLK_N	Input	
B2	LED_LOG0	Output	网口 0 逻辑状态灯
A2	LED_PHY0	Output	网口 0 物理连接灯
M3	LAN0_GPIO_0	BiDir	LAN0 GPIO 信号
M4	LAN0_GPIO_1		
N3	LAN0_GPIO_2		
N2	LAN0_GPIO_4		
N1	LAN0_GPIO_3		
P3	LAN0_GPIO_5		
N5	LAN0_GPIO_6		

Ball #	Pin Name	Type	Description
P1	LAN0_GPIO_7		
T3	MD0_IO	BiDir	网口 0 的 MDIO 的数据信号
U3	MD0_CLK	Output	网口 0 的 MDIO 的时钟信号
F15	ETH0_RESREF	Input	ETH 的终端匹配电阻，阻值 5K 欧姆，精度 1%
F17	ETH0_TESTDEBUGAN A	Output	ETH0 PHY 的 debug 输出信号，悬空处理
M5	LAN0_MAP	Input	LAN_MAP[0:1]=11 两个网口使能，两个网口不交换， LAN_MAP[0:1]=10 网口 0 使能，网口 1 禁用， LAN_MAP[0:1]=00 两个网口使能，两个网口交换。

Table3 Ethernet Port1 PHY

Ball #	Pin Name	Type	Description
E4	ETH1_TX_P_0	Output	网口 1 的 TX 差分信号，CML 电平标准
D4	ETH1_TX_N_0	Output	
E6	ETH1_TX_P_1	Output	
D6	ETH1_TX_N_1	Output	
E8	ETH1_TX_P_2	Output	
D8	ETH1_TX_N_2	Output	
E10	ETH1_TX_P_3	Output	
D10	ETH1_TX_N_3	Output	
B4	ETH1_RX_P_0	Input	网口 1 的 RX 差分信号，CML 电平标准
A4	ETH1_RX_N_0	Input	
B6	ETH1_RX_P_1	Input	
A6	ETH1_RX_N_1	Input	
B8	ETH1_RX_P_2	Input	
A8	ETH1_RX_N_2	Input	
B10	ETH1_RX_P_3	Input	
A10	ETH1_RX_N_3	Input	
G9	ETH1_REF_CLK_P	Input	网口 1 的 156.25MHZ 差分时钟输入，LVDS 电平标准
G8	ETH1_REF_CLK_N	Input	
C2	LED_PHY1	Output	网口 1 逻辑状态灯
E1	LED1_LOG1	Output	网口 1 物理连接灯
P4	LAN1_GPIO_0	BiDir	LAN1 GPIO 信号
P5	LAN1_GPIO_1		
R4	LAN1_GPIO_2		
R2	LAN1_GPIO_3		
R3	LAN1_GPIO_4		

Ball #	Pin Name	Type	Description
T2	LAN1_GPIO_5		
R5	LAN1_GPIO_6		
T1	LAN1_GPIO_7		
V2	MD1_IO	BiDir	网口 1 的 MDIO 的数据信号
U1	MD1_CLK	Output	网口 1 的 MDIO 的时钟信号
F7	ETH1_RESREF	Input	ETH0 的终端匹配电阻, 阻值 5K 欧姆, 精度 1%
F5	ETH1_TESTDEBUGAN A	Output	ETH1 PHY 的 debug 输出信号, 悬空处理
R1	LAN1_MAP	Input	LAN_MAP[0:1]=11 两个网口使能, 两个网口不交换, LAN_MAP[0:1]=10 网口 0 使能, 网口 1 禁用, LAN_MAP[0:1]=00 两个网口使能, 两个网口交换。

Table4 PCI Express

Ball #	Pin Name	Type	Description
Y1	PE_WAKE	OD	PCIE 的网络唤醒信号输出, PE_WAKE 外接主机时需要加隔离电路
Y2	PERST_N	Input	PCIE 复位信号
R11	PE_REF_CLK_P	Input	PCIE 的参考时钟, 频率 100MHz, 推荐 HCSL 电平标准
T11	PE_REF_CLK_N	Input	
H3	PCIE_PHY_PARA_SEL	Input	该引脚输入高电平 PHY 内部寄存器可以被内部逻辑访问, 低电平 JTAG 才能访问内部寄存器。
H4	PCIE_PHY_SRAM_BYPASS	Input	该引脚输入高电平 PHY 内部 SRAM 会被旁路, 输入低电平 PHY 通过 Nor Flash 配置。
L5	PE_AUX_PWR_DET	Input	PCIE 的 AUX 电源输入模式, 1 代表 AUX 电源供电, 0 代表 main 电源供电
T5	PE_RST_SEQ	Input	芯片内部下拉, 正常工作采用默认值。
V4	PE_TX_P_0	Output	CML differential signal, PCI Express PHY differential pairs.
W4	PE_TX_N_0	Output	
AA4	PE_RX_P_0	Input	
AB4	PE_RX_N_0	Input	
V6	PE_TX_P_1	Output	
W6	PE_TX_N_1	Output	
AA6	PE_RX_P_1	Input	
AB6	PE_RX_N_1	Input	
V8	PE_TX_P_2	Output	
W8	PE_TX_N_2	Output	
AA8	PE_RX_P_2	Input	

Ball #	Pin Name	Type	Description
AB8	PE_RX_N_2	Input	
V10	PE_TX_P_3	Output	
W10	PE_TX_N_3	Output	
AA10	PE_RX_P_3	Input	
AB10	PE_RX_N_3	Input	
V12	PE_TX_P_4	Output	
W12	PE_TX_N_4	Output	
AA12	PE_RX_P_4	Input	
AB12	PE_RX_N_4	Input	
V14	PE_TX_P_5	Output	
W14	PE_TX_N_5	Output	
AA14	PE_RX_P_5	Input	
AB14	PE_RX_N_5	Input	
V16	PE_TX_P_6	Output	
W16	PE_TX_N_6	Output	
AA16	PE_RX_P_6	Input	
AB16	PE_RX_N_6	Input	
V18	PE_TX_P_7	Output	
W18	PE_TX_N_7	Output	
AA18	PE_RX_P_7	Input	
AB18	PE_RX_N_7	Input	
U9	PE_PHY0_RESREF	Input	PCIE PHY0 的终端匹配电阻，阻值 200 欧姆，精度 1%
U13	PE_PHY1_RESREF	Input	PCIE PHY1 的终端匹配电阻，阻值 200 欧姆，精度 1%

Table5 SPI Flash

Ball #	Pin Name	Type	Description
E21	SPI_CLK_DIV_0	Input	SPI flash 的时钟分频值 (主时钟 X=400MHz): SPI_CLK_DIV_[2:0] 3'b000: X/4, SPI_CLK=100MHz 3'b001: X/8, SPI_CLK=50MHz 3'b010: X/10, SPI_CLK=40MHz 3'b011: X/12, SPI_CLK=33.33MHz(Default) 3'b100: X/16, SPI_CLK=25MHz 3'b101: X/20, SPI_CLK=20MHz 3'b110: X/32, SPI_CLK=12.5MHz 3'b111: X/256, SPI_CLK=1.5625MHz
D22	SPI_CLK_DIV_1		
D21	SPI_CLK_DIV_2		
B20	SPI_CLK	Output	SPI Interface from Controller to Flash
C20	SPI_SO	Output	

Ball #	Pin Name	Type	Description
C21	SPI_SI	Input	
C22	SPI_CS_N	Output	

Table6 UART

Ball #	Pin Name	Type	Description
J2	UART_STX	Output	UART Interface to on-chip CPU
J3	UART_SRX	Input	
G5	UART1_STX	Output	UART1
H5	UART1_SRX	Input	

Table7 MNG GPIO

Ball #	Pin Name	Type	Description
R21	MNG_GPIO_0	BiDir	Universal Input and Output pin of internal embedded CPU, if not used, they can be left unconnected.
R19	MNG_GPIO_1		
P18	MNG_GPIO_2		
P19	MNG_GPIO_3		
R22	MNG_GPIO_4		
P22	MNG_GPIO_5		
N18	MNG_GPIO_6		
P20	MNG_GPIO_7		

Table8 NCSI

Ball #	Pin Name	Type	Description
T22	NCSI_RXD_0	Output	NCSI transmit data
R18	NCSI_RXD_1		
V21	NCSI_TX_EN	Input	Transmit Enable
U20	NCSI_CSR_DV	Output	Carrier Sense/Receive Data Valid
V22	NCSI_REF_CLK	Input	NCSI reference clock
U22	NCSI_TXD_0	Input	NCSI receive data
T20	NCSI_TXD_1		

Table9 MII

Ball #	Pin Name	Type	Description
R20	MII_MD	BiDir	If NCSI is connected to PHY, this Interface is used to control the PHY, otherwise it is not connected by default.
T21	MII_MDC	Output	

Table10 IIC

Ball #	Pin Name	Type	Description
F2	IIC0_SCL	IN/OD	I2C Interface for laser module configuration
F3	IIC0_SDA		
G3	IIC1_SDA		
F1	IIC1_SCL		

Table11 MDIO

Ball #	Pin Name	Type	Description
U1	MD1_CLK	Output	Used to control external PHY if WX5025 is using external PHY.
V2	MD1_IO	BiDir	
U3	MD0_CLK	Output	
T3	MD0_IO	BiDir	

Table12 MNG SMBus

Ball #	Pin Name	Type	Description
K5	MNG_IC0_CLK	IN/OD	SMBus0 to on-chip CPU
J1	MNG_IC0_DATA	IN/OD	SMBus 外接 BMC 时需加 I2C/SMbus 电平转换电路隔离
K1	MNG_IC0_SMBALERT_N	IN/OD	
K3	MNG_IC0_SMBSUS_N	Output	
H1	MNG_IC1_CLK	IN/OD	SMBus1 to on-chip CPU
G1	MNG_IC1_DATA	IN/OD	SMBus 外接 BMC 时需加 I2C/SMbus 电平转换电路隔离
C1	MNG_IC1_SMBALERT_N	IN/OD	
G4	MNG_IC1_SMBSUS_N	Output	

Table13 Probe

Ball #	Pin Name	Type	Description
E22	PRB_EN	Input	PRB_EN=0 时，PRB_DATA_[0:7] 复用为网口 0 和网口 1 的 TS1588 GPIO, 结合芯片定时器，用于产生可配置时钟、脉冲、电平、集外部事件、基于外部事件产生中断。不使用可以悬空。 The other testing signals. They are not used in normal operations.
N21	PRB_CLKOUTPUT		
N22	PRB_DATA_0/ ts0[0]		
N20	PRB_DATA_1/ ts0[1]		
M19	PRB_DATA_2/ ts0[2]		
M20	PRB_DATA_3/ ts0[3]		
M18	PRB_DATA_4/ ts1[0]		
M22	PRB_DATA_5/ ts1[1]		
L18	PRB_DATA_6/ ts1[2]		
M21	PRB_DATA_7/ ts1[3]		
L20	PRB_DATA_8		
L22	PRB_DATA_9		
L19	PRB_DATA_10		

Ball #	Pin Name	Type	Description
K21	PRB_DATA_11		
K22	PRB_DATA_12		
K20	PRB_DATA_13		
J22	PRB_DATA_14		
K18	PRB_DATA_15		
J21	PRB_DATA_16		
J19	PRB_DATA_17		
J20	PRB_DATA_18		
J18	PRB_DATA_19		
H20	PRB_DATA_20		
H22	PRB_DATA_21		
H19	PRB_DATA_22		
G22	PRB_DATA_23		
H18	PRB_DATA_24		
G21	PRB_DATA_25		
G18	PRB_DATA_26		
G20	PRB_DATA_27		
F22	PRB_DATA_28		
F20	PRB_DATA_29		
F21	PRB_DATA_30		
F19	PRB_DATA_31		

Table14 JTAG

Ball #	Pin Name	Type	Description
W20	JTAG_SEL_0	Input	JTAG signals for testing purpose. They are not used in normal operations.
W21	JTAG_SEL_1	Input	
Y20	JTAG_SEL_2	Input	
Y22	JTRST_N	Input	
W22	JTDO	Output	
U19	JTMS	Input	
V20	JTDI	Input	
AA20	JTCK	Input	

Table15 Test Signals

Ball #	Pin Name	Type	Description
AB2	SCAN_ENABLE	Input	Test signals. They are not used in normal operations.
AA1	TEST_SEL		
V1	TEST_MODE_0		
W1	TEST_MODE_1		
AA2	TEST_MODE_2		

Ball #	Pin Name	Type	Description
K2	CLK_TST_SEL_0		
L4	CLK_TST_SEL_1		
L1	CLK_TST_SEL_2		
L3	CLK_TST_SEL_3		

Table16 Power Supplies

Ball #	Pin Name	Description
H17 A1 B1 AB1 H2 L2 P2 U2 A3 B3 C3 D3 E3 V3 W3 Y3 AA3 AB3 C4 F4 K4 N4 U4 Y4 A5 B5 C5 D5 E5 U5 V5 W5 Y5 AA5 AB5 C6 F6 J6 L6 N6 R6 U6 Y6 A7 B7 C7 D7 E7 G7 K7 M7 P7 U7 V7 W7 Y7 AA7 AB7 C8 F8 H8 J8 L8 N8 U8 Y8 A9 B9 C9 D9 E9 F9 H9 K9 M9 P9 V9 W9 Y9 AA9 AB9 C10 F10 G10 J10 L10 N10 R10 T10 U10 Y10 A11 B11 C11 D11 E11 H11 K11 M11 P11 U11 V11 W11 Y11 AA11 AB11 C12 F12 G12 J12 L12 N12 R12 T12 U12 Y12 A13 B13 C13 D13 E13 F13 H13 K13 M13 P13 V13 W13 Y13 AA13 AB13 C14 F14 H14 J14 L14 N14 U14 Y14 A15 B15 C15 D15 E15 G15 K15 M15 P15 U15 V15 W15 Y15 AA15 AB15 C16 F16 H16 J16 L16 N16 R16 U16 Y16 A17 B17 C17 D17 E17 K17 M17 P17 T17 U17 V17 W17 Y17 AA17 AB17 C18 F18 U18 Y18 A19 B19 C19 D19 E19 G19 K19 N19 T19 V19 W19 Y19 AA19 AB19 A20 E20 B20 H21 L21 P21 U21 A22 B22 AA22 AB22	VSS	Ground for digital power
H17	PLL_VSSA	Ground for PLL
F11 G11	ETH_VDDA_CIO_TXR X 1P8	ETH 1.8V 模拟电源
H15	ETH0_VDDA_CIO_CM 1P8	ETH0 1.8V 模拟电源
H7	ETH1_VDDA_CIO_CM 1P8	ETH1 1.8V 模拟电源
G6	EFUSE_VQPS 1P8	EFUSE 1.8V 模拟电源
G16	PLL_VDDAH 1P8	PLL 1.8V 模拟电源
G17	PLL_VDDA_0P8	PLL 0.8V 模拟电源
H6	TEMPSENSOR_VDDA_ 1P8	Temp sensor 1.8V 模拟电源
K10 K12 K14	ETH_VDDA_CORE_DI G, ETH_VDDA_CORE_DI G	ETH 1.0V 模拟电源

Ball #	Pin Name	Description
H12 H10	ETH0_VDDA_CORE_C MRX, ETH1_VDDA_CORE_C MRX	ETH 1.0V 模拟电源
J13 J11	ETH0_VDDD_CORE_A NA_RX, ETH1_VDDD_CORE_A NA_RX	ETH 0.9V 模拟电源
J7 L7 N7 K8 M8 P8 J9 L9 N9 M10 P10 L11 N11 M12 P12 L13 N13 M14 P14 J15 L15 N15 K16 M16 P16 J17 L17 N17 R17	VDD_0P8	0.8V 数字电源
K6 M6 P6 T18 D20 A21 B21 AA21 AB21	VDD_1P8	1.8V 数字电源
R13 R14 R15 R7 R8 R9 T13 T14 T8 T9	PE_PHY_VP	PCIE 0.9V 模拟电源
T15 T16 T6 T7	PE_PHY_VPH	PCIE 1.8V 模拟电源

1.3 电气规格

1.3.1 绝对最大额定值

参数	Min	Typ	Max	Units
存储温度范围	-65		140	°C
Tj (PN 结温度)	-40		125	°C
ETH_VDDA_CIO_TXRX_1P8	1.62	1.8	1.98	V
ETH0_VDDA_CIO_CM_1P8	1.62	1.8	1.98	V
ETH1_VDDA_CIO_CM_1P8	1.62	1.8	1.98	V
EFUSE_VQPS_1P8	1.62	1.8	1.98	V
PLL_VDDAH_1P8	1.62	1.8	1.98	V
PLL_VDDA_0P8	0.76	0.8	0.84	V
TEMPSENSOR_VDDA_1P8	1.62	1.8	1.98	V
ETH_VDDA_CORE_DIG, ETH_VDDA_CORE_DIG	0.95	1.0	1.05	V
ETH0_VDDA_CORE_CM_RX, ETH1_VDDA_CORE_CM_RX	0.95	1.0	1.05	V
ETH0_VDDD_CORE_ANA_RX, ETH1_VDDD_CORE_ANA_RX	0.85 5	0.9	0.945	V
VDD_0P8	0.76	0.8	0.84	V
VDD_1P8	1.62	1.8	1.98	V
PE_PHY_VP	0.85 5	0.9	0.945	V
PE_PHY_VPH	1.62	1.8	1.98	V

Notes:

Ratings in this table are those beyond which permanent device damage is likely to occur. These values should not be used as the limits for normal device operation. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Table17 WX5025 绝对最大额定值**1.3.2 建议工作条件**

参数	Min	Typ	Max	Units	Ripple
工作温度范围	0		70	°C	
ETH_VDDA_CIO_TXRX_1P8	1.71	1.8	1.89	V	40mV
ETH0_VDDA_CIO_CM_1P8	1.71	1.8	1.89	V	40mV
ETH1_VDDA_CIO_CM_1P8	1.71	1.8	1.89	V	40mV
EFUSE_VQPS_1P8	1.71	1.8	1.89	V	40mV
PLL_VDDAH_1P8	1.71	1.8	1.89	V	40mV
PLL_VDDA_0P8	0.76	0.8	0.84	V	40mV
TEMPSENSOR_VDDA_1P8	1.71	1.8	1.89	V	40mV
ETH_VDDA_CORE_DIG, ETH_VDDA_CORE_DIG	0.95	1.0	1.05	V	24mV
ETH0_VDDA_CORE_CM_RX, ETH1_VDDA_CORE_CM_RX	0.95	1.0	1.05	V	24mV
ETH0_VDDD_CORE_ANA_RX, ETH1_VDDD_CORE_ANA_RX	0.855	0.9	0.945	V	40mV
VDD_0P8	0.76	0.8	0.84	V	60mV
VDD_1P8	1.71	1.8	1.89	V	40mV
PE_PHY_VP	0.855	0.9	0.945	V	40mV
PE_PHY_VPH	1.71	1.8	1.89	V	40mV

Notes:

Power supply voltage with ripple should not be below minimum power supply operating range.

Table18 WX5025 处理器建议工作条件

1.3.3 工作电流

WX5025 处理器在室温 25° C 环境下, PC 机平台上安装两个光模块同时采用双 LAN 口回环进行 1500 字节大包满负荷 10G/25G 速率下进行通信测试, 测得功耗如下图:

供电电源 / 电流	Link speed		
	2*10G PCIe Gen3x8	2*25G PCIe Gen3x8	2*25G PCIe Gen4x 8
VDD_1P8	0.0198	0.0198	0.018
PE_PHY_VPH PLL_VDDAH_1P8	0.6534	0.6534	0.7812
ETH_VDDA_CIO_TXRX_1P8 ETH0_VDDA_CIO_CM_1P8 ETH1_VDDA_CIO_CM_1P8	0.396	0.396	0.3978
EFUSE_VQPS_1P8 TEMPSENSOR_VDDA_1P8	0.0072	0.0072	0.0072
VDD_0.8V PLL_VDDA_0P8	1.12	1.6	1.824
ETH0_VDDD_CORE_ANA_RX ETH1_VDDD_CORE_ANA_RX	0.225	0.225	0.225
PE_PHY_VP	0.5724	0.5724	0.909
ETH_VDDA_CORE_DIG, ETH_VDDA_CORE_DIG ETH0_VDDA_CORE_CMRX , ETH1_VDDA_CORE_CMRX	0.407	0.455	0.458
Total Power	3.4008	3.9288	4.6202
Notes: Typical conditions: room temperature (TA) = 25°C, nominal voltages and continuous network traffic at link speed at full duplex. Maximum conditions: maximum operating temperature (TJ) values, Nominal voltage values and continuous network traffic at link speed at full duplex. PCIe Configured to Gen3 x8 /Gen4 x8 operation. There may be errors in measurement values due to different chip lots, testing environments, and testing methods.			

Table19 WX5025 工作电流

供电电源 / 电流	Link speed		
	2*10G PCIe Gen3x8	2*25G PCIe Gen3x8	2*25G PCIe Gen4x 8
VDD_1P8	0.09	0.01	0.01
PE_PHY_VPH PLL_VDDAH_1P8	0.362	0.353	0.432

ETH_VDDA_CIO_TXRX_1P8 ETH0_VDDA_CIO_CM_1P8 ETH1_VDDA_CIO_CM_1P8	0.078	0.21	0.221
EFUSE_VQPS_1P8 TEMPSENSOR_VDDA_1P8	0.004	0.004	0.004
VDD_0.8V PLL_VDDA_0P8	0.915	1.1	1.2
ETH0_VDDD_CORE_ANA_RX ETH1_VDDD_CORE_ANA_RX	0.015	0.25	0.13
PE_PHY_VP	0.625	0.61	0.942
ETH_VDDA_CORE_DIG, ETH_VDDA_CORE_DIG ETH0_VDDA_CORE_CMRX , ETH1_VDDA_CORE_CMRX	0.342	0.430	0.420
Total Power	2.61	3.12	3.54

Notes:

Typical conditions: room temperature (TA) = 25°C, nominal voltages and no network traffic

There may be errors in measurement values due to different chip lots, testing environments, and testing methods.

Table20 WX5025 IDLE 电流

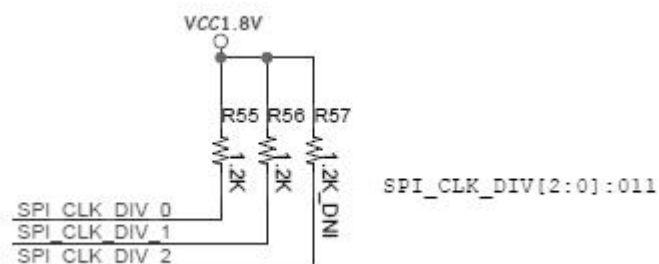
1.3.4 模式配置说明

有内部上下拉的配置信号，正常功能模式，建议外部引脚预留内部默认值状态，客户也可以选择同时保留可能用到的调试模式。

需要使用 WOL 或 NCSI 功能时，首先芯片需要工作在辅电模式下，辅电能提供足够的功耗，其次 PE_AUX_PWR_DET、RST_MD 信号需要拉高，同时预留上下拉电阻。

WX5025 的 CLK_TST_SEL_[3:0] 引脚内部有下拉，默认 CLK_TST_SEL_[3:0]=0000。

WX5025 的 SPI_CLK_DIV_0、SPI_CLK_DIV_1、SPI_CLK_DIV_2 引脚内部默认下拉，需要配置 SPI_CLK_DIV[2:0]=011，SPI flash 的时钟频率选择 33.33MHz。



WX5025 的 TEST_MODE_0、TEST_MODE_1、TEST_MODE_2、TEST_SEL 和 SCAN_ENABLE 引脚内部默认下拉，test_mode[2:0]=000，test_sel=0，scan_enable=0 正常功能模式，这些功能引脚使用默认值。

WX5025 的 FLASH_BYPASS 引脚内部默认下拉，不开启 BYPASS 功能，FLASH_SECTOR、PLL_BYPASS 引脚内部默认下拉，这些配置引脚都使用默认值。

WX5025 的 JTAG_SEL[2:0] 引脚默认下拉，产品设计时采用默认配置，不开启 JTAG 功能，建议该功能使用默认值。

WX5025 的 LAN0_MAP/ LAN1_MAP 外部预留上下拉，默认设置为 11，以便不同模式使用。LTSSM_MD、HOLD_MODE_PHY、PCIE_RST_SEQ 引脚默认下拉，产品设计时采用默认值。

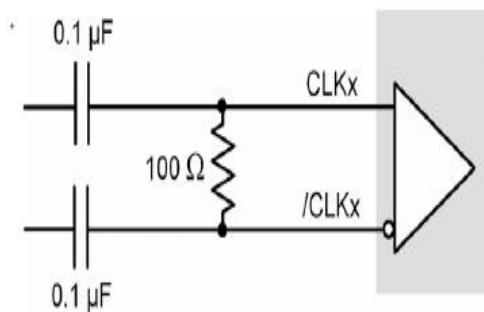
WX5025 的 PCIE_PHY_PARA_SEL、SEC_MODE、MNG_DET 引脚内部默认上拉，产品设计采用默认值。PCIE_PHY_SRAM_BYPASS 内部上拉，默认加下拉电阻。

WX5025 的 RST_MD 引脚内部默认上拉，产品设计采用默认值。PCIE_AUX_PWR_DET 主电模式时下拉，采用辅电模式时上拉。

WX5025 的 ETH0_RESREF、ETH1_RESREF 的终端匹配电阻使用精度 1% 的 5K 欧姆电阻，PE_PHY0_RESREF 和 PE_PHY1_RESREF 的终端匹配电阻使用精度 1% 的 200 欧姆电阻。

1.3.5 ETH 时钟输入

ETH0_REF_CLK_P、ETH0_REF_CLK_N 引脚要求 156.25MHz 在的 LVDS 差分时钟输入，ETH1_REF_CLK_P、ETH1_REF_CLK_N 引脚要求 156.25MHz 的 LVDS 差分时钟输入，采用 AC 耦合输入，LVDS 标准要求在 ETH0_REF_CLK_P、ETH0_REF_CLK_N 引脚和 ETH1_REF_CLK_P、ETH1_REF_CLK_N 引脚间并联上 100 欧姆电阻，精度 1%。差分时钟输入方案见参考设计原理图。



1.3.6 电源设计

WX5025 的 PCIE 部分电源有 0.9V 和 1.8V，网络部分有 0.8V、0.9V、1.0V 和 1.8V，IO 1.8V 供电，建议采用 1.8V IO 先于内核 0.8V 上电或者同时上电的方式，不推荐内核 0.8V 先于 IO 1.8V 上电。网络部分 1.0V 和 1.8V 电源对噪声要求较高，建议采用 LDO。ETH 电源 ETH0_VDDA_CIO_CM、ETH1_VDDA_CIO_CM 两个不同的 PHY 建议采用磁珠隔离供电。ETH 电源 ETH1_VDDA_CORE_CM RX、ETH1_VDDA_CORE_CM RX 两个不同的 PHY 建议采用磁珠隔离供电。ETH 电源 ETH0_VDDD_CORE_ANA_RX、ETH1_VDDD_CORE_ANA_RX 两个不同的 PHY 建议采用磁珠隔离供电。但是为了保证 PHY 的抖动性能，PE_PHY_VP 模拟电源需要在 0.9V 输入端串入磁珠，PE_PHY_VPH/VDDA18 模拟电源需要在 1.8V 输入端串入磁珠，磁珠型号推荐 BLM18PG300SN1。电源滤波电容采用 10nF\100nF\4.7uF\10uF 组合使用。建议 0.8V、0.9V 电源选择最大电流输出在 6A 以上。1.8V、1.0V 选择 2A LDO，以满足网络部分电源噪声要

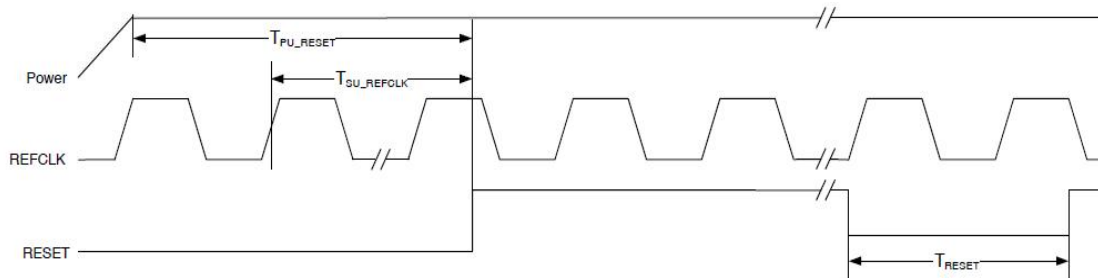
求。芯片建议使用散热能力 10W 的散热片。

1.3.7 复位时间

WX5025 的复位信号需要外部提供，输入要求如下图所示：

参数	Min	Typ	Max	Units
TPU_RESET (电源有效直到 RESET 信号拉高)	10			ms
TRESET (正常工作期间最小复位脉冲宽度)	10			ms

Table21 复位时间



1.3.8 NCSI AC Specification

The WX5025 is designed to support the standard DMTF NCSI interface. For NCSI I/F timing specification see the following table.

Symbol	Parameter	Min	Typ	Max	Units
Tckf	NCSI_REF_CLK Frequency		50		MHz
Rdc	NCSI_REF_CLK duty cycle	35		65	%
Racc	NCSI_REF_CLK accuracy			100	ppm
Tco	Clock-to-out (10 pF => cload <=50 pF) NCSI_RXD[1:0], NCSI_CSR_DV Data valid from NCSI_REF_CLK rising edge	3		4	ns
Tsu	NCSI_TXD[1:0], NCSI_TX_EN	3			ns

	Data Setup to NCSI_CLK_IN rising edge				
Thold	NCSI_TXD[1:0], NCSI_TX_EN Data hold from NCSI_REF_CLK rising edge	1			ns
Tor	NCSI_RXD[1:0], NCSI_CSR_DV Output Time rise	0.5		6	ns
Tof	NCSI_RXD[1:0], NCSI_CSR_DV Output Time fall	0.5		6	ns
Tckr/Tckf	NCSI_REF_CLK Rise/Fall Time	0.5		3.5	ns

1.3.9 FLASH 推荐

Manufacturer	Model type
winbond	W25Q16FW 系列
microchip	SST26WF016B 系列
Gigadevice	GD25LQ16 系列

Table22 推荐 SPI FLASH 型号

1.3.10 光模块推荐

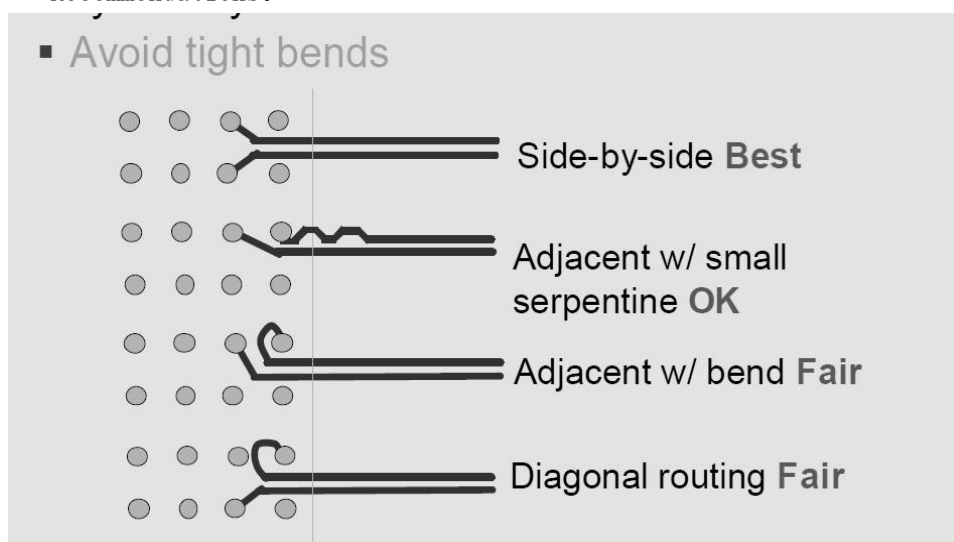
下表所示的光模块经过测试，能够完美支持，保证通信质量。

Manufacturer	Part Number	Model type
FIBERTOP	SFP28-25GSR-HYT	25G 多模模块
WTD	RTXM330-551	25G 多模模块
Hisense	LTF8505-BC+	25G 多模模块
Intel Corp	LTF8505-BC-IN	25G 多模模块
FIBERTOP	SFP28-25GSRD-HYT	25G 多模模块
HUAWEI	LTF8501-BC+	10G 多模模块
SONT	XP-8G10-01	10G 多模模块
AVAGO	AFBR-709SMZ	10G 多模模块
WTD	RTXM228-551	10G 多模模块
Finisar	FTLX8571D3BCL	10G 多模模块

Table23 推荐光模块型号

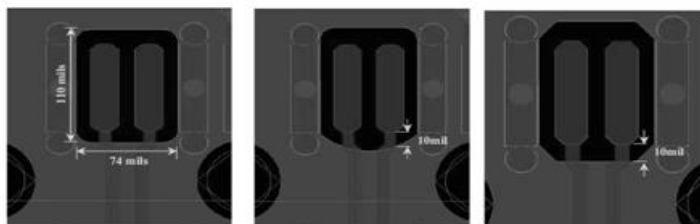
1.3.11 PCI_Express 布线建议

- PCI_Express 信号速率最高 16Gbps
- 串接 0.22uF 电容尽量靠近金手指放置；
- TX 和 RX 分别走不同层，长度尽量短。建议走内层，对内等长 3mil；
- 差分线对间间距至少 3W，尽可能拉开间距，减小串扰；
- 尽量减小过孔 stub 的影响，建议采用背钻工艺。
- PCIE TX/RX 阻抗按照 $85\text{ohm} \pm 10\%$ 控制，时钟信号阻抗按照 $100\text{ohm} \pm 10\%$ 控制；
- 金手指按照 PCIE 4.0 CEM 规范要求；
- 遵从 PCIE CEM4.0 Section 9.2 Add-in Card Layout Requirements and Recommendations。



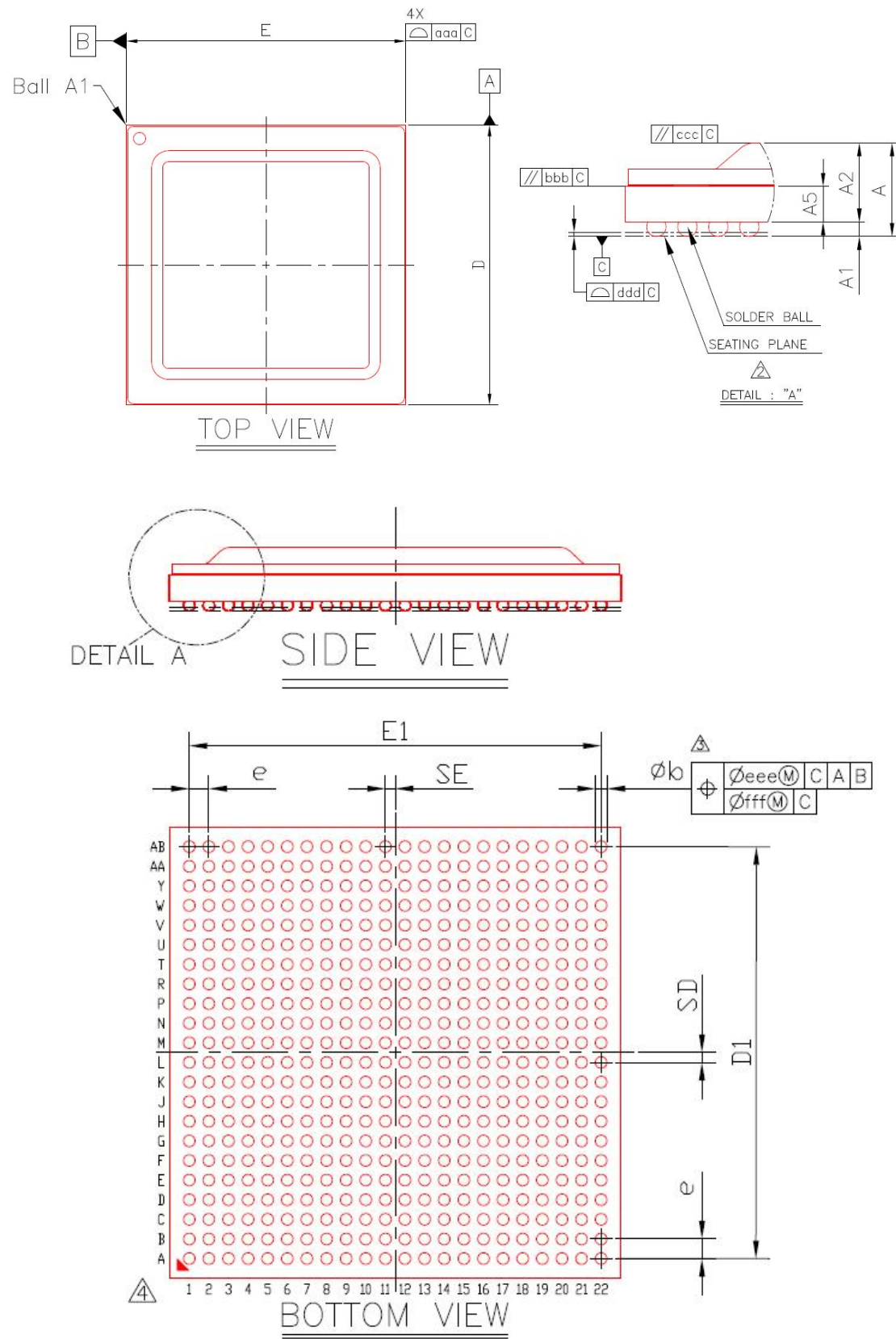
1.3.12 SFP28 布线建议

- SFP 插件与 WX5025 处理器之间的 SFP_RX 和 SFP_TX 差分对内误差 5mil，差分对间间距至少 3W，尽量拉开间距以减小串扰，走线长度越短越好，差分阻抗 100 欧姆，单端 50 欧姆，TX 和 RX 走在不同层。
- 尽量减小过孔 stub 的影响，建议采用背钻工艺。
- 单个 SFP 电源 VCC3.3V 流通能力 1A；
- 去耦电容尽量靠近 SFP28 插件引脚放置。
- PCB 基材建议使用松下松下 R-5775G 等支持 25G 速率传输的基材。
- SFI 的连接座处 TX RX 下面的参考地删除，大小参考下图：



具体请《参考WX5025芯片PCB布线要求》。

2 芯片封装尺寸说明



Symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	3.024	3.254	3.484	0.119	0.128	0.137
A1	0.390	0.490	0.590	0.015	0.019	0.023
A2	2.620	2.764	2.908	0.103	0.109	0.114
A5	1.219	1.354	1.489	0.048	0.053	0.059
E	22.800	23.000	23.200	0.898	0.906	0.913
D	22.800	23.000	23.200	0.898	0.906	0.913
E1	---	21.000	---	---	0.827	---
D1	---	21.000	---	---	0.827	---
e	---	1.000	---	---	0.039	---
b	0.500	0.600	0.700	0.020	0.024	0.028
aaa	0.200			0.008		
bbb	0.250			0.010		
ccc	0.350			0.014		
ddd	0.200			0.008		
eee	0.250			0.010		
fff	0.100			0.004		
MD/ME	22/22					
SE	0.500			0.020		
SD	0.500			0.020		

第 3 章 热参数

3.1 热阻参数

芯片的最大结温 T_j 为 125°C，常温下，芯片典型功耗在 4.62W 左右，需要考虑加散热片。如下表是没有散热片情况下，不同风速下的热参数，客户需要根据具体应用的环境温度和板卡结构考虑散热设计和进行热仿真。

3.2 表面静态压力参数

芯片加散热片时，需考虑芯片表面承受静态压力的大小，WX5025 芯片表面可承受最大静态压力 15 lbf (66 N)。